

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08115960 A**

(43) Date of publication of application: **07 . 05 . 96**

(51) Int. Cl

**H01L 21/66**

(21) Application number: **06249501**

(22) Date of filing: **14 . 10 . 94**

(71) Applicant: **KOBE STEEL LTD**

(72) Inventor: **FUJII HIDEO  
KUSUMOTO SHIGENORI**

**(54) LEAD FOR SEMICONDUCTOR ELEMENT**

**(57) Abstract:**

**PURPOSE:** To provide a lead for semiconductor element in which false defect is eliminated by preventing Sn from fusing with a probe pin.

**CONSTITUTION:** At an electrode pad part being employed for inspecting or measuring the electric characteristics of a semiconductor element, a coating layer containing Sn is formed on an underlying layer of Cu and an Sn oxide is deposited on the surface of the coating layer containing Sn so that Cu is diffused from the underlying layer into the coating layer. In such lead for semiconductor element, average compositional ratio between Cu and Sn (Cu/Sn) in the coating layer is set in the range of 1.2-3.0 or lower than 0.2.



**COPYRIGHT:** (C)1996,JPO



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-115960

(43)公開日 平成8年(1996)5月7日

1

(51)Int.Cl.

H01L 21/66

識別記号

E 7735-4M

F I

B 7735-4M

審査請求 未請求 請求項の数2 O L (全5頁)

(21)出願番号 特願平6-249501

(22)出願日 平成6年(1994)10月14日

(71)出願人 000001199

株式会社神戸製鋼所

兵庫県神戸市中央区脇浜町1丁目3番18号

(72)発明者 藤井 秀夫

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

(72)発明者 楠本 栄典

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

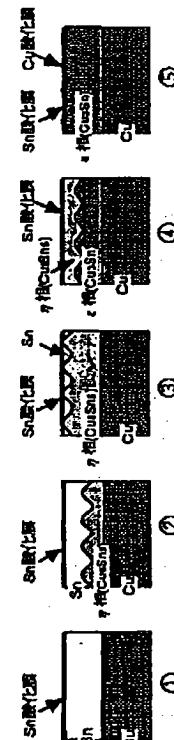
(74)代理人 弁理士 植木 久一

(54)【発明の名称】半導体素子用リード

(57)【要約】

【目的】プローブピンへのSnの溶着を防止して、疑似不良が発生することのない半導体素子用リードを提供する。

【構成】半導体素子の電気的特性を検査または測定する際に用いられる電極パッド部が、Cuからなる下地層の上にSn含有被覆層が形成されていると共に、上記Sn含有被覆層の表面にはSn酸化膜が形成されて前記下地層のCuが上記被覆層に拡散している半導体素子用リードにおいて、上記被覆層中におけるCuとSnの平均的組成比(Cu/Sn)が1.2以上3.0未満であるか、或いは0.2以下である。



## 【特許請求の範囲】

【請求項1】 半導体素子の電気的特性を検査または測定する際に用いられる電極パッド部が、Cuからなる下地層の上にSn含有被覆層が形成されていると共に、上記Sn含有被覆層の表面にはSn酸化膜が形成されて前記下地層のCuが上記被覆層に拡散している半導体素子用リードにおいて、上記被覆層中におけるCuとSnの平均的組成比(Cu/Sn)が1.2以上3.0未満であることを特徴とする半導体素子用リード。

【請求項2】 請求項1に記載の平均的組成比が、0.2以下である半導体素子用リード。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電極パッド部にSn含有被覆層が形成されている半導体素子用リードに関するものである。

## 【0002】

【従来の技術】 半導体素子のパッケージには、フラットパッケージ(FP)やテープキャリアパッケージ(TCP)など種々の方式があるが、いずれのパッケージにおいても、半導体素子用リード部の電極パッド部を介して内部回路と外部回路が接続される。従って上記電極パッドには、内部および外部への配線[I LB (inner lead bonding) およびOLB (outer lead bonding)]の際の接合性を確保する為に、予めSnメッキ処理またはハンダ付け処理が施されてSn含有被覆層が形成されている。

【0003】 前記半導体素子の電気的特性を検査するにあたっては、複数のプローブピンが配設されたプローブカードが用いられており、上記プローブピンを前記電極パッド部に圧接することによって半導体素子とテスターの導通が得られる様に構成されている。上記プローブカードとして、例えば特開平1-128535には、図6の(a), (b)に示すようなプローブカードが開示されている。図6の(a)はプローブカードの平面図、(b)はプローブカードの側面図であり、1がプローブピン、2がカード基板、3がプローブピン取付部を夫々示す。尚、上記プローブピン取付部においてはハンダ付け処理がなされており、プローブピン1はカード基板2に固着されている。上記プローブピンの材質としては、高温強度に優れたWなどが用いられているが、Wに数%のNi, Co, Feなどの元素を加えた合金を用いることによってWのハンダ濡れ性の向上を図ることも知られている。

【0004】 しかしながら、上記のようなプローブピンを用いて検査を行うと、テスト回数が増えるにつれて、電極パッド部のSn含有被覆層に由来するSnがプローブピンの先端に溶着してSn酸化物を形成し、プローブピンと電極パッド部間の接触抵抗が大きくなり、やがては良品も不良品と判定する疑似不良が発生し、安定した

検査結果が得られなくなるという問題を有していた。

## 【0005】

【発明が解決しようとする課題】 本発明は上記事情に着目してなされたものであって、プローブピンへのSnの溶着を防止して、疑似不良が発生することのない半導体素子用リードを提供しようとするものである。

## 【0006】

【課題を解決するための手段】 上記課題を解決した本発明の半導体素子用リードとは、半導体素子の電気的特性を検査または測定する際に用いられる電極パッド部が、Cuからなる下地層の上にSn含有被覆層が形成されていると共に、上記Sn含有被覆層の表面にはSn酸化膜が形成されて前記下地層のCuが上記被覆層に拡散している半導体素子用リードにおいて、上記被覆層中におけるCuとSnの平均的組成比(Cu/Sn)が1.2以上3.0未満であるか、或いは0.2以下であることを要旨とするものである。

## 【0007】

【作用】 半導体素子用リードの電極パッド部は、パターン形成時や、集積回路を装着する為の熱硬化性樹脂の乾燥や硬化等の製造工程において、種々の熱処理を受ける。図1は上記電極パッドのCu下地層に形成されたSnメッキ層にCuが拡散していく状態を模式的に示す図である。図1の①は熱処理前の状態を示しており、大気と接触するSnメッキ層最表面には50Å程度のSn酸化膜が形成されているが、該Sn酸化膜以外のSnメッキ層はSn単相である。熱処理を施すことによってCu下地層のCuはSnメッキ層に拡散ていき、まずSn-Cu合金のη相(Cu, Sn<sub>1-x</sub>)が形成される(図1の②)。図1の③はCuの拡散がSn酸化膜まで達しているが、まだSn単相も残っている状態を示すものであり、上記Sn酸化膜の直下にはSn単相とSn-Cu合金のη相とが混在している。更にCuの拡散が進行するとSn単相はすべてSn-Cu合金のη相となると共に、Sn-Cu合金のε相(Cu, Sn)が形成される(図1の④)。図1の⑤の状態では、Sn-Cu合金のη相ではなく、Sn酸化膜以外はSn-Cu合金のε相だけである。

【0008】 Snメッキ層におけるCuの拡散状態とプローブピンへのSn溶着との関係について本発明者らが調べた結果、図1における②および④の状態の電極パッド部では良好な結果が得られるものの、図1の③の状態である電極パッド部では、プローブピンへのSn溶着に起因する不良が発生しやすいことが分かった。

【0009】 尚、図1の②の状態は、Snメッキ層中のCuおよびSnの平均的組成比Cu/Snが0.2以下であり、図1の④の状態では1.2以上3.0未満である。従って本発明では、上記平均的組成比を1.2以上3.0未満、又は0.2以下に設定した。1.5以上2.5未満または0.05以下であるとより好ましい。

【0010】本発明は、膜厚または熱処理の条件によって限定されるものではないが、図1の③の状態を図1の②の状態にするには、膜厚を厚くするか、熱処理温度を下げるか、或いは熱処理時間短くすればよい。また、図1の③の状態を図1の④の状態にするには、膜厚を薄くするか、熱処理温度を上げるか、或いは熱処理時間を長くすればよい。

【0011】尚、図1の②、④の状態ではSn溶着が発生せず、図1の③の状態においてSn溶着が発生しやすい理由としては、各相の融点と硬度から以下の様に考えられる。

【0012】即ち、Snメッキ層がSn単相の場合は融点が低く、硬度も低い。一方、 $\alpha$ 相や $\varepsilon$ 相のSn-Cu合金は融点が高く、しかも硬度が高い。図1の③の状態においては、Sn酸化膜の下側にSn単相とSn-Cu合金の $\alpha$ 相が混在しているので、プローブピンの先端がSnメッキ層のSn酸化膜直下の $\alpha$ 相に圧接された場合、 $\alpha$ 層の硬度が高いことから接触面積が小さくなり、単位面積当たりの電流が比較的多くなってSnメッキ層の温度が上がり、融点の低いSn単相が溶融するものと考えられる。これに対して、図1の④の状態では、Sn-Cu合金の $\alpha$ 相と $\varepsilon$ 相が混在するだけで、融点の低いSn単相は存在しないので、容易にはSn溶着は発生しない。また②の状態では、Sn酸化膜の下側は、Sn単相であるので、硬度が低く、接触面積が小さくなりにくくことから前記疑似不良の発生が抑制できるものと考えられる。

【0013】また、本発明は検査に用いるプローブピンの材質を限定するものではなく、WやW合金以外にも、Pd合金やBe-Cu合金など公知の材質のプローブピンを用いることができる。

【0014】

【実施例】

実施例1

Snメッキ処理を施して電極パッド部に厚さ1μmのSnメッキ層を形成した半導体素子用リード（以下、比較例1という）と、厚さ5μmのSnメッキ層を形成した半導体素子用リード（以下、本発明例1という）を用意して、それぞれの接触抵抗を測定した。尚、いずれの半導体素子用リードとも、熱処理条件は同じに設定して、Cu下地層からSnメッキ層へのCu拡散速度を同一にすることにより、比較例1のSnメッキ層は図1の③の状態に、本発明例1のSnメッキ層は図1の②の状態とした。

【0015】上記接触抵抗の測定は、抵抗測定計と微少変位計を用いて以下の様に行った。即ちプローブピンを半導体素子用リードの電極パッド部に向かって徐々に降ろしていく、導通がとれた位置を0μmとして、25μmずつ押し込んでいく、それぞれの位置における抵抗値を測定した。トータル200μmに達した後は、逆に2

5μmずつプローブピンを戻していく各位置における抵抗値を測定した。尚、実際のテスト時に流れる電流は通常3~5mA程度であるが、本実施例では接触面積が小さい場合と同様Snが溶融しやすい様に100mAの電流を流して測定を行った。

【0016】以上の測定を1試料に対して2回行って、1回目と2回目の接触抵抗値の比較を行った。図2に比較例1の接触抵抗値の押し込み量による変化の測定結果を示す。1回目に比べて2回目の接触抵抗値は増大することが分かる。図3は本発明例1の接触抵抗値の押し込み量による変化の測定結果を示す。1回目と2回目の接触抵抗値にはほとんど変化がない。

【0017】接触抵抗測定後のプローブピンの先端部についてSEM（走査型電極パッド部子顕微鏡）観察及びEDX（エネルギー分散型X線分光法）分析を行った結果、比較例1ではプローブピンの先端にSnの溶着が見られたが、本発明例1の場合ではプローブピンの先端にSnの溶着はほとんど認められなかった。

【0018】実施例2

20 電極パッド部にSnメッキ処理を施して厚さ3μmのSnメッキ層を形成した半導体素子用リードを用いて、熱処理条件を変えることによって上記Snメッキ層が図1の③の状態である半導体素子用リード（以下、比較例2という）と、前記Snメッキ層が図1の④の状態である半導体素子用リード（以下、本発明例2という）を準備して、実施例1と同様の方法で接触抵抗の測定を行った。

【0019】図4に比較例2の測定結果を示す。1回目の押し込み時に比べて2回目の押し込み時は接触抵抗値は増大していることが分かる。図5は本発明例2の測定結果を示す。1回目と2回目の接触抵抗値にほとんど変化がないことが分かる。

【0020】接触抵抗測定後のプローブピン先端部のSEM観察及びEDX分析の結果、比較例2に用いたプローブピンの先端部にはSnの溶着が見られたが、本発明例2に用いたプローブピンの先端部にはSnの溶着はほとんど認められなかった。

【0021】

【発明の効果】本発明は以上の様に構成されているので、プローブピンへのSn溶着を抑制して疑似不良の発生することのない半導体素子用リードが提供できることとなった。

【図面の簡単な説明】

【図1】Snメッキ層に、Cuが拡散する状態の変化を示す図である。

【図2】比較例1の接触抵抗の変化を示したものである。

【図3】本発明例1の場合の接触抵抗の変化を示したものである。

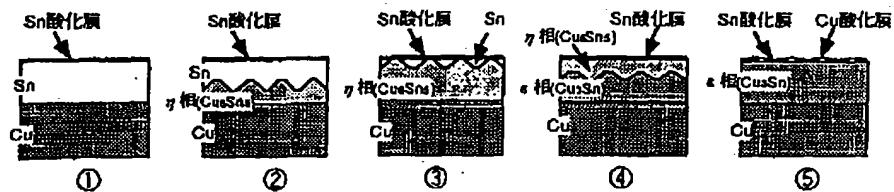
【図4】比較例2の接触抵抗の変化を示したものであ

る。

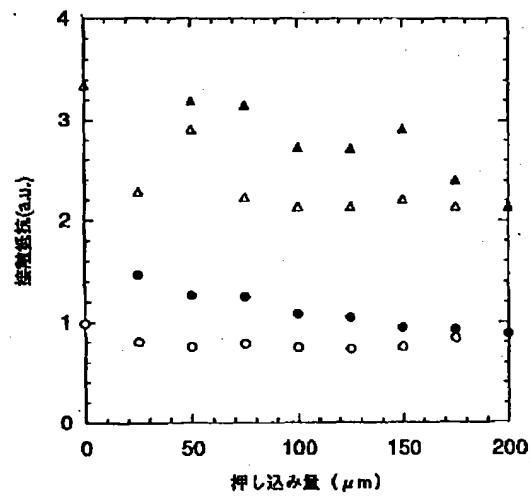
【図5】本発明例2の接触抵抗の変化を示したものである。

【図6】プローブカードの概略説明図であつて、(a)は平面図、(b)は側面図である。

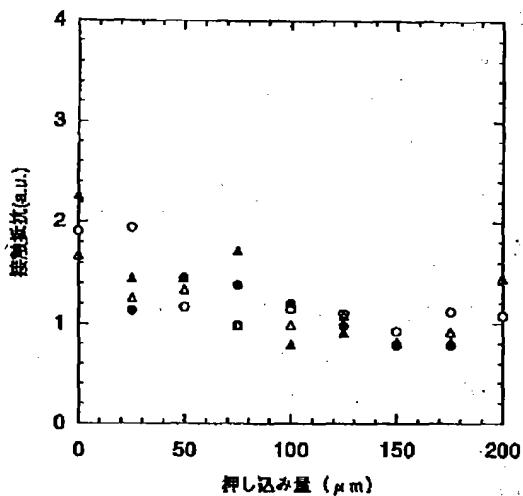
【図1】



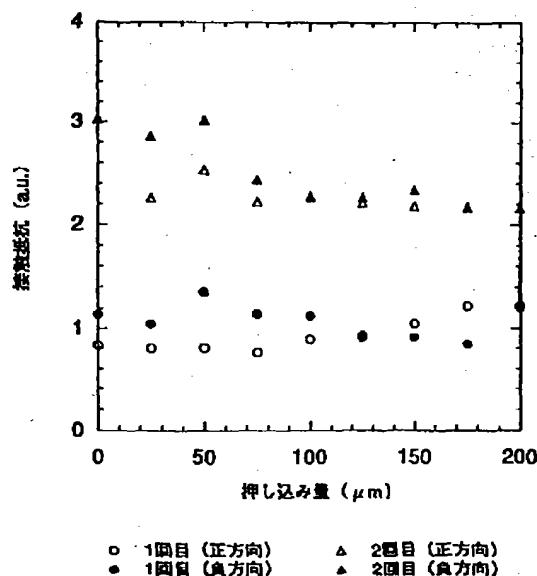
【図2】



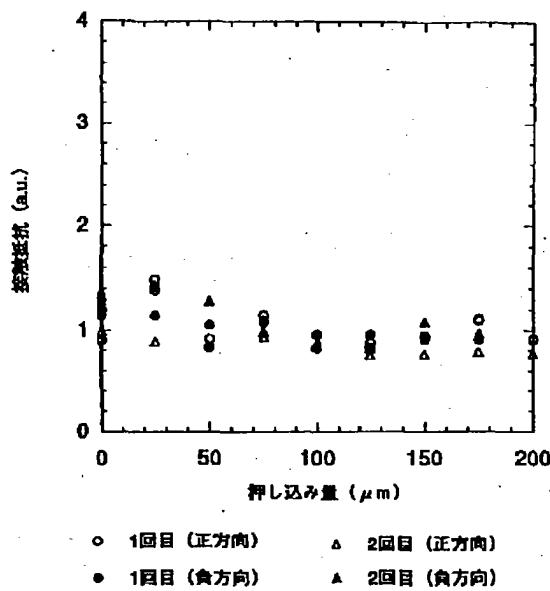
【図3】



【図4】



【図5】



【図6】

